



PCT

特許協力条約に基づいて公開された国際出願

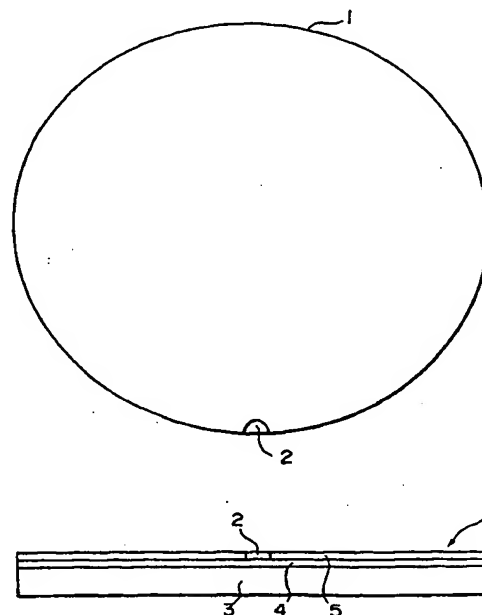
<p>(51) 国際特許分類6 H01L 21/02, 21/027, 21/30, 21/46, 21/68, 27/12</p>	<p>A1</p>	<p>(11) 国際公開番号 WO98/57361</p> <p>(43) 国際公開日 1998年12月17日(17.12.98)</p>
<p>(21) 国際出願番号 PCT/JP98/02566</p> <p>(22) 国際出願日 1998年6月10日(10.06.98)</p> <p>(30) 優先権データ 特願平9/154844 1997年6月12日(12.06.97)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 ニコン(NIKON CORPORATION)[JP/JP] 〒100-0005 東京都千代田区丸の内3丁目2番3号 Tokyo, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 白石直正(SHIRAISHI, Naomasa)[JP/JP] 〒100-0005 東京都千代田区丸の内3丁目2番3号 株式会社 ニコン内 Tokyo, (JP)</p> <p>(74) 代理人 弁理士 前田 均, 外(MAEDA, Hitoshi et al.) 〒101-0051 東京都千代田区神田神保町一丁目22番地 北信ビル2階 前田・西出国際特許事務所 Tokyo, (JP)</p>	<p>(81) 指定国 AL, AM, AT, AU, AZ, BB, BG, BR, BY, CA, CH, CN, CZ, DE, DK, EE, ES, FI, GB, GE, HU, IL, IS, JP, KE, KG, KR, KZ, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, TJ, TM, TR, TT, UA, UG, US, UZ, VN, ARIPO特許 (GH, GM, KE, LS, MW, SD, SZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI特許 (BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG).</p> <p>添付公開書類 国際調査報告書</p>	

(54) Title: SUBSTRATE FOR DEVICE MANUFACTURING, PROCESS FOR MANUFACTURING THE SUBSTRATE, AND METHOD OF EXPOSURE USING THE SUBSTRATE

(54) 発明の名称 デバイス製造用基板、その製造方法、および前記基板を用いた露光方法

(57) Abstract

A substrate for device manufacturing on the surface of which a recess which does not pass through the substrate is formed. It is preferable to form the recess in such a size that it can be used as a mark for prealignment at least at part of the outer peripheral section of the substrate. The recess refers to anything that does not pass through the substrate and includes notch, hollow, hole, etc. The position of the recess on the substrate can be detected easily with a dark-field vertically projectile illumination type image forming microscope, vertically projectile illumination type differential interference microscope, etc., and the substrate can be prealigned based on the result of detection of the recess. In addition, since the recess provided for prealignment is formed so that it may not pass through the substrate, stress concentration hardly occurs as compared with the conventional orientation flat or notch.



(57)要約

基板の表裏面を貫通しない凹部が基板の表面に形成してあるデバイス製造用基板が提供される。凹部は、プリアライメントのためのマークとして用いられる程度の面積を有することが好ましい。凹部が、基板の外周部の少なくとも一部に形成してあることが好ましい。凹部とは、基板を貫通しない何らかの凹みを意味し、切り欠き (NOTCH)、窪み (HOLLOW)、穴 (HOLE) などを含む概念で用いる。デバイス製造用基板では、落射照明で暗視野結像方式の顕微鏡、または落射照明の微分干渉顕微鏡等を使用することによって、凹部の位置を容易に検出することができ、この検出結果に基づき、大まかな位置合わせ (プリアライメント) を行うことができる。また、このデバイス製造用基板では、プリアライメントのために用いられる凹部が、基板の表裏面を貫通しないように形成してあるので、従来のオリエンテーションフラットまたは切り欠きに比較して、応力集中が生じにくい。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AL	アルバニア	FI	フィンランド	LK	スリ・ランカ	SI	スロヴェニア
AM	アルメニア	FR	フランス	LR	リベリア	SK	スロヴァキア
AT	オーストリア	GA	ガボン	LS	レソト	SL	シエラ・レオネ
AU	オーストラリア	GB	英国	LT	リトアニア	SN	セネガル
AZ	アゼルバイジャン	GD	グレナダ	LU	ルクセンブルグ	SZ	スワジランド
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	LV	ラトヴィア	TD	チャード
BB	バルバドス	GH	ガーナ	MC	モナコ	TG	トーゴ
BE	ベルギー	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BF	ブルキナ・ファソ	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BG	ブルガリア	GW	ギニア・ビサウ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BJ	ベナン	GR	ギリシャ		共和国	TT	トリニダード・トバゴ
BR	ブラジル	HR	クロアチア	ML	マリ	UA	ウクライナ
BY	ベラルーシ	HU	ハンガリー	MN	モンゴル	UG	ウガンダ
CA	カナダ	ID	インドネシア	MR	モーリタニア	US	米国
CF	中央アフリカ	IE	アイルランド	MW	マラウイ	UZ	ウズベキスタン
CG	コンゴ	IL	イスラエル	MX	メキシコ	VN	ヴェトナム
CH	スイス	IN	インド	NE	ニジェール	YU	ユーゴスラビア
CI	コートジボアール	IS	アイスランド	NL	オランダ	ZW	ジンバブエ
CM	カメルーン	IT	イタリア	NO	ノールウェー		
CN	中国	JP	日本	NZ	ニュージーランド		
CU	キューバ	KE	ケニア	PL	ポーランド		
CY	キプロス	KG	キルギスタン	PT	ポルトガル		
CZ	チェコ	KP	北朝鮮	RO	ルーマニア		
DE	ドイツ	KR	韓国	RU	ロシア		
DK	デンマーク	KZ	カザフスタン	SD	スーダン		
EE	エストニア	LC	セントルシア	SE	スウェーデン		
ES	スペイン	LI	リヒテンシュタイン	SG	シンガポール		

明 細 書

デバイス製造用基板、その製造方法、および前記基板を用いた露光方法

技術分野

本発明は、たとえば半導体デバイスを製造する際に使用されるシリコンウエハ等のデバイス製造用基板、その製造方法、およびその基板を用いてマスクパターンを転写するための露光方法に関する。

背景技術

L S I等の半導体デバイスを製造する際には、通常シリコンウエハ等の半導体基板上に数十層に及ぶ回路パターンを相互に正確に位置合わせして形成する必要がある。このような位置合わせ（アライメント）を高精度に行うために、半導体基板の表面の各ショット領域には回路パターンと共に位置合わせマーク（ウエハマーク）が形成されている。そして、ステッパー等の露光装置を用いて半導体基板上の2層目以降にマスクパターンを転写する場合には、露光装置に備えられているアライメントセンサで所定の位置合わせマークの位置を検出し、この検出結果に基づいてマスクパターンとウエハ上の各ショット領域内の回路パターンとの位置合わせが行われていた。

但し、このような高精度なマーク検出に際しては、検出対象の位置合わせマークをアライメントセンサの検出可能領域に追い込んでおく必要があるため、予めブリアライメント工程において、ウエハの外形に基づいて比較的低精度な位置検出が行われている。このような外形基準による位置検出のために、従来の半導体基板の外周部には、オリエンテーションフラットや切り欠きなどの除去部分が、基板の表裏面を貫通するように設けてある。このように基板の外周部に設けてある除去部分の位置を基準として、その基板の2次元的位置、および回転角の大まかな位置合わせ（ブリアライメント）が行われている。

上記の如く従来の半導体基板には、外形基準の位置検出のために、基板を貫通する除去部分が設けられている。しかしながら、このような除去部分が形成され

た半導体基板では、デバイス製造に伴う熱プロセス時や、張力の強い膜の成膜時に、その基板内で生じる応力歪みはその除去部分に集中し、その除去部分の周辺の平面度を悪化させると共に、面内方向についても変形を生ぜしめ、その除去部分の近傍に形成されるデバイスの特性が悪化するという不都合があった。

また、従来の露光装置では、オリエンテーションフラットや切り欠きなどの基板を貫通する除去部分があることを前提にして、プリアライメントを行っていたため、半導体基板からそのような除去部分を無くした場合には、プリアライメントが困難になるおそれがあった。

発明の開示

本発明は、このような実状に鑑みてなされ、応力集中による応力歪みが生じにくいと共に、大まかな位置合わせが可能であるデバイス製造用基板、そのデバイス製造用基板の製造方法、およびそのデバイス製造用基板を用いて位置合わせを行うことができる露光方法を提供することを目的とする。

上記目的を達成するために、本発明に係るデバイス製造用基板は、基板の表裏面を貫通しない凹部が基板の表面に形成してあることを特徴とする。前記凹部が、プリアライメントのためのマークとして用いられる程度の面積を有することが好ましい。前記凹部が、前記基板の外周部の少なくとも一部に形成してあることが好ましい。なお、本発明において、基板の表面と裏面とは、相対的な概念であり、一義的に定まるものではなく、本発明の凹部が形成される側の基板面が表面となるが、その裏面にも凹部が形成されても良い。また、本発明において、凹部とは、前記基板を貫通しない何らかの凹みを意味し、切り欠き (NOTCH)、窪み (HOLLOW)、穴 (HOLE) などを含む概念で用いる。

本発明に係るデバイス製造用基板では、落射照明で暗視野結像方式の顕微鏡、または落射照明の微分干渉顕微鏡等を使用することによって、前記凹部の位置を容易に検出することができ、この検出結果に基づき、大まかな位置合わせ (プリアライメント) を行うことができる。また、本発明に係るデバイス製造用基板では、プリアライメントのために用いられる凹部が、基板の表裏面を貫通しないように形成してあるので、従来のオリエンテーションフラットまたは切り欠きに比

較して、応力集中が生じにくい。その結果、デバイス製造に伴う熱プロセス時や張力の強い膜の成膜時などでも、基板の平坦性を保持しやすく、基板に作り込まれる半導体デバイスの特性が向上する。また、凹部の近傍で、応力歪みが生じにくいことから、その凹部の近傍にも高精度に半導体デバイス等を形成できる。

前記基板としては、特に限定されず、単層の基板または単層の基板の表面に単層または複層の薄膜層が積層してある基板であっても良い。好ましくは、前記基板は、基板本体と、当該基板本体の表面に積層してある機能層とを有し、当該機能層に、前記凹部が形成してある。好ましくは、前記基板本体は、シリコン単結晶基板である。さらに好ましくは、前記機能層は、前記基板本体の表面に積層してある絶縁層と、当該絶縁層の表面に積層してある半導体層とを有する。このような機能層を有する基板は、いわゆるシリコン・オン・インシュレータ（SOI）構造の基板である。半導体層のみを貫通する凹部を設けることで、凹部を設けることによる応力集中を、最小限にすることができる。

前記凹部は、基板の外周に、単一でも、複数設けても良い。基板外周の複数箇所に凹部を設ける場合には、従来の複数の切り欠きを有する基板との互換性が保たれる。

本発明に係るデバイス製造用基板の最も好適な態様は、表面に薄膜が被着されたデバイス製造用基板であって、前記薄膜の一部にオリエンテーションフラット、又はノッチを形成したことを特徴とする。前記デバイス製造用基板はSOIウエハであることが好ましい。

上記目的を達成するために、本発明に係るデバイス製造用基板の製造方法は、基板本体の表面に機能層を形成する第1工程と、前記機能層の一部に凹部を形成する第2工程とを有する。

好ましくは、前記第2工程が、前記機能層の表面に感光材料を塗布して感光層を形成する工程と、前記感光層の表面に、前記凹部に対応するパターンで露光を行う工程と、前記露光が行われた感光層を現像する工程と、現像された前記感光層のマスクパターンを用いて、前記機能層の少なくとも一部をエッチングし、前記凹部を形成する工程とを有する。

好ましくは、前記機能層が、前記基板本体の表面に積層してある絶縁層と、当

該絶縁層の表面に積層してある半導体層とを有し、前記絶縁層をエッチングストップ層として用い、当該絶縁層の表面でエッチングがストップする条件で、前記半導体層をエッチングし、当該半導体層に前記凹部を形成する。

好ましくは、前記第1工程が、第1単結晶基板の表面に絶縁層を形成する工程と、前記絶縁層の表面に平坦化層を形成する工程と、前記平坦化層の表面に、前記基板本体となるべき第2単結晶基板をはり合わせる工程と、前記第1単結晶基板の反絶縁層側の表面を研磨することにより、第1単結晶基板を所定厚みの半導体層にする工程とを有する。この方法により、単結晶基板の表面に絶縁層を介して積層された単結晶薄膜層を持つSOI基板を容易に製造することができる。好ましくは、前記第1単結晶基板の反絶縁層側の表面の研磨が、化学機械的研磨により行われる。

または、前記第1工程は、前記基板本体となるべき単結晶基板の表面から、所定深さの位置に不純物の濃度分布のピークがくるように、酸素をイオン注入する工程と、イオン注入した後の前記基板本体を熱処理することにより、基板本体の表面から所定深さの位置にイオン注入された酸素を、基板本体を構成する単結晶の元素と化学的に結合させて、絶縁層を形成する工程とを有しても良い。このような方法によっても、単結晶基板の表面に絶縁層を介して積層された単結晶薄膜層を持つSOI基板を容易に製造することができる。

上記目的を達成するために、本発明に係る露光方法は、基板の表裏面を貫通しない凹部が基板の表面に形成してあるデバイス製造用基板を用い、前記凹部の位置を検出する工程と、検出された凹部の位置に基づき、前記基板の位置決めを行う工程と、その後、位置決めされた前記基板に対して露光処理を行う工程とを有する。前記基板の凹部の位置の検出は、落射照明方式で行われることが好ましい。

図面の簡単な説明

添付図面において、

図1Aは、本発明の一実施形態に係るウエハの平面図、

図1Bは、そのウエハの正面図、

図2Aおよび2Bは、そのウエハの製造工程の一例を示す要部断面図、

図3A～3Eは、図2Bの続きを示すウエハの製造工程の一例を示す要部断面

図、

図 4 は、図 1 に示すウエハに投影露光処理を行うための投影露光装置を示す概略構成図、

図 5 は、図 4 に示すウエハ検出系の観察視野を示す拡大平面図、

図 6 A～6 C は、本発明の他の実施形態に係るウエハの製造工程を示す概略斜視図、

図 7 A および 7 B は、本発明のさらに他の実施形態に係るウエハの製造工程を示す概略斜視図、

図 8 A～8 C は、本発明のさらに他の実施形態に係るウエハの製造工程を示す概略斜視図である。

発明を実施するための最良の態様

以下、本発明を図面に示す実施例に基づき詳細に説明する。

図 1 A および 1 B に示す本実施形態に係るデバイス製造用基板としてのウエハ 1 は、いわゆるシリコン・オン・インシュレータ (SOI) 構造のシリコンウエハである。図 1 B に示すように、本実施形態のウエハ 1 は、厚さが 0.6～1 mm 程度の単結晶シリコン基板から成る基板本体 3 を有する。基板本体 3 の表面には、厚さが 0.1～100 μm 程度の二酸化シリコン (SiO_2) など構成してある絶縁層 4 と、たとえば厚さが 0.1 μm 程度の単結晶シリコン層で構成してある半導体層 5 とからなる機能層が積層してある。

図 1 A および 1 B に示すように、本実施形態のウエハ 1 の外周部には、ウエハ 1 の最上層に配置された半導体層 5 のみを貫通するように、ほぼ逆 V 字型の切り欠き (本発明における凹部に相当する) 2 が形成してある。この切り欠き 2 は、従来のウエハに形成してある切り欠きまたはオリエンテーションフラットと同程度の切り欠き面積を有する。しかし、従来の切り欠きが、ウエハ基板の総厚さに亘って貫通するように形成されているのに対し、本実施形態の切り欠き 2 は、ウエハ全体の厚さの約 0.01% 程度の厚さを持つ最上層の半導体層 5 のみに形成されている点で著しく異なる。

したがって、切り欠き 2 が存在することによる応力集中は、従来のウエハ基板

に比較して著しく低く、切り欠き 2 の近傍のウエハ 1 の機械的強度は、他の領域と殆ど同じである。このため、ウエハ 1 は、熱処理のプロセス等を経ても切り欠き 2 付近で応力集中や応力歪みが発生することはなく、露光装置による露光に際して、切り欠き 2 の近傍のショット領域においても高精度に回路パターンを形成できる。また、ウエハ 1 のブリアライメント時には、例えば落射照明で暗視野結像方式の顕微鏡、または落射照明の微分干渉顕微鏡等によって、比較的浅い切り欠き 2 の位置を検出することで、実質的に従来と同様な方法で、ウエハ 1 の外形基準での位置合わせを行うことができる。

次に、本実施形態に係るウエハ 1 の製造方法の一例につき、工程別に図 2 を参照して説明する。

この実施形態では、SOI 構造のウエハ 1 を、はり合わせ法により製造する場合について説明する。

[第 1 工程]

図 2 A に示すように、シリコン単結晶ウエハから成る第 1 単結晶基板 5 0 の表面に、酸化シリコンなどで構成される絶縁層 4 を形成する。絶縁層 4 の形成は、基板 5 0 の表面を熱酸化することにより形成することができる。または、基板 5 0 の表面に、CVD 法により酸化シリコン、窒化シリコンなどの薄膜を堆積させることにより形成することができる。絶縁層 4 の厚みは、特に限定されないが、この実施形態では、0.1 ~ 100 μm 程度である。

絶縁層 4 の表面に、シリコン単結晶基板などで構成してある第 2 単結晶基板 5 4 を直接はり合わせることも考えられるが、平坦化の容易性およびはり合わせの容易性などを考慮し、本実施形態では、まず、絶縁層 4 の表面に、平坦化層 5 2 を形成する。平坦化層 5 2 は、たとえば多結晶シリコンや低融点酸化膜（たとえば BPSG 膜など）を CVD 法により絶縁層 4 の表面に堆積することにより形成される。CVD 法により形成される平坦化層 5 2 の表面 5 2 a は、堆積直後では、凹凸を有する面であり、そのままでは、第 2 単結晶基板 5 4 をはり合わせることは困難である。そこで、本実施形態では、平坦化層 5 2 の表面 5 2 a を、化学機械的研磨 (CMP : Chemical Mechanical Polishing) 法により研磨する。CMP 法は、研磨剤の存在化に、研磨パッドと研磨対象物の表面とを相対移動させ、

研磨剤の化学的機能と研磨パッドの機械的機能とを発揮させ、微細な段差のみならずグローバルな段差をも良好に平坦化させることができる技術である。研磨剤として、特に限定されないが、たとえば粒径が8～50 nmの酸化シリコン (SiO_2) 微粉末を水酸化カリウム溶液中に分散させてpHを調整したものや、アルミナ (Al_2O_3) 微粉末を酸化剤溶液 (たとえば過酸化水素水) 中に分散させてpHを調整したものなどが用いられる。なお、研磨パッドとしては、特に限定されないが、多孔質発泡ポリウレタンなどが用いられる。

CMP法による研磨の結果、平坦化層52の表面が平坦になり、その後、その表面と、第2単結晶基板54の表面とをはり合わせる。はり合わせ法としては、接着剤を用いる方法と、用いない方法とがある。接着剤を用いる方法では、接着すべき基板54の表面と平坦化層52の表面とに多少の凹凸があっても良好に行うことができるが、SOI基板に作り込まれるデバイスの特性を向上させるためなどには、接着剤を用いない方が好ましい。接着剤を用いない方法としては、熱接着法、静電接着法、陽極接着法などが知られている。接着剤を用いないで基板相互をはり合わせるためには、はり合わせ面の平坦性が重要である。はり合わせに際しては、たとえば1000～1100℃および2～3時間程度の熱処理を行う。基板間の接合は、シラノール基の結合で保たれる。高温の熱処理では、基板間の接合は、シラノール基の脱水によるシロキサン結合により強固な結合となる。なお、平坦化層52が、BPSG層で構成してある場合には、基板間の接合のための温度を低温化することができる。このようにして基板50と基板54とをはり合わせた後、図2Bに示すように、第1単結晶基板50の反絶縁層側の表面を研磨し、絶縁層4の上に、比較的薄い単結晶シリコンからなる半導体層5を有するSOI構造のウエハ1を得ることができる。その際の研磨も、前述したCMP法により行うことができる。

なお、SOI構造のウエハ1を得るための方法は、上述した実施形態に限定されず、基板本体3となるべき単結晶基板の表面から、所定深さの位置に不純物の濃度分布のピークがくるように、酸素をイオン注入するSIMOX (Separation by Implanted Oxygen) 法により行っても良い。イオン注入した後の基板本体3を熱処理することにより、基板本体3の表面から所定深さの位置にイオン注入さ

れた酸素を、基板本体 3 を構成する単結晶シリコンの元素と化学的に結合させて、酸化シリコンなどの絶縁層 4 を形成することができる。

また、図 1 B に示す半導体層 5 を多結晶シリコンなどで構成する場合には、シリコン単結晶などで構成してある基板本体 3 上の全面に、蒸着、スパッタリング、または CVD 法等によって、順次二酸化シリコンから成る絶縁層 4、および半導体層 5 を形成しても良い。ただし、SOI 構造のウエハ 1 の表面に作り込まれるデバイスの特性の点では、絶縁層 4 の上に積層される半導体層 5 が多結晶シリコンよりは、単結晶シリコンからなる半導体層 5 の方が好ましい。

〔第 2 工程〕 前記第 1 工程により得られた SOI 構造のウエハ 1 を用い、次に、図 3 B に示すように、最上層の半導体層 5 の表面に、感光層を形成するための感光材料としてのレジスト 6 を塗布する。なお、レジスト 6 は、半導体層 5 の表面上で、切り欠きが形成される領域を含む狭い領域に部分的に塗布するのみでもよい。ここでは、レジスト 6 がポジタイプであるとして、不図示の露光装置を用いてレジスト 6 上で切り欠きを設けたい領域 7 を、それに対応するマスクパターンを介して露光する。

次に、レジスト 6 の現像を行うことによって、図 3 C に示すように、レジスト 6 中で領域 7 に対応する部分 8 が除去される。

次に、図 3 D に示すように、部分的に除去されたレジスト 6 をマスクとして、半導体層 5 のエッチングを行う。このエッチングに際しては、半導体層を構成するシリコンをエッチングするために適したエッチング液を用いる。したがって、半導体層 5 の下層に存在する酸化シリコンなどで構成してある絶縁層がエッチングストッパー層となり、深さ方向のエッチングの制御は極めてラフでよい。また、平面内方向のサイドエッチ特性も、外形基準によるプリアライメントで要求される程度の精度（10 μ m 程度）でよいので、極めて安価なウェットエッチング技術を用いることができる。これによって、図 3 D に示すように、シリコン層 5 内に除去部 9 が形成される。

その後、図 3 E に示すように、残されたレジスト 6 を剥離することによって、除去部 9 が、浅い切り欠き（本発明の凹部）2 となり、図 1 A および 1 B に示すウエハ 1 が形成される。

なお、上述した実施形態では、図 2 A および 2 B に示すはり合わせ技術を用いて S O I 構造のウエハ 1 を製造した後に、浅い切り欠き 2 を形成している。しかし、本発明では、はり合わせるべき第 1 単結晶基板 5 0 の外周部に、従来から公知の方法で、従来と同じような切り欠きまたはオリエンテーションフラットを形成しておき、その後、前述したようなはり合わせ技術により、S O I 構造のウエハ 1 を得ることで、図 1 A および 1 B に示す切り欠き 2 を形成することもできる。

〔露光方法〕

次に、図 1 に示す本実施形態のウエハ 1 に対してマスクパターンの露光を行う例につき、図 4 および図 5 を参照して説明する。そのウエハ 1 のための露光装置としては、露光用エネルギービームとして、紫外光等を用いる光学式の露光装置、または電子線等を用いて露光を行う荷電粒子線露光装置等の何れでも使用できるが、以下では光学式の投影露光装置を使用した例につき説明する。

図 4 は、露光を行うために使用される投影露光装置の全体の概略構成を示す。図 4 に示すように、本実施形態の露光装置は、露光光源、フライアイレンズ、およびコンデンサレンズ等を含む照明光学系 1 1 を有し、光学系 1 1 からの露光光（エキシマレーザ光、水銀ランプの i 線および g 線等）によって、マスクとしてのレチクル 1 2 が照明される。レチクル 1 2 は、レチクルの位置決めを行うためのレチクルステージ 1 3 上に保持され、その露光光のもとでレチクル 1 2 のパターンの像が投影光学系 P L を介してウエハ（不図示）の各ショット領域に転写される。

露光対象のウエハは、ウエハホルダ 1 4 上に真空吸着または静電吸着によって保持され、ウエハホルダ 1 4 は、試料台 1 5 上に固定され、試料台 1 5 は、ウエハステージ 1 6 によって 3 次元的に位置決めされる。試料台 1 5 上の移動鏡 1 7 m と外部のレーザ干渉計 1 7 とによって、試料台 1 5（ウエハ）の位置が検出され、この検出信号が、装置全体の動作を統轄制御する主制御系 4 0 へ入力される。この主制御系 4 0 からの制御信号に基づいて、ステージ駆動系 1 8 がウエハステージ 1 6 の動作を制御する。また、投影光学系 P L の側面部には、一例として、オフ・アクシス方式で画像処理方式のアライメントセンサ 1 9 が配置される。アライメントセンサ 1 9 は、露光対象のウエハ上のウエハマーク（位置合わせマー

ク)の位置を検出し、検出結果を主制御系40に供給する。主制御系40は、その検出結果に基づいて露光対象のウエハのアライメントを行う。

このように、アライメントセンサ19を介してウエハ上のウエハマークの位置を検出するためには、そのウエハマークがアライメントセンサ19の観察視野内に収まるように、予め外形基準でウエハのプリアライメントを行っておく必要がある。そこで、ウエハステージ16の側面方向に、プリアライメント機構22を備えたウエハローダ系が配置されている。

プリアライメント機構22は、2次元的に並進方向に微動できるステージ、及びターンテーブルにより構成される。機構22の上方には、3個の落射照明方式で、且つ撮像方式のウエハ検出系30～32が備えられ、ウエハ検出系30～32の撮像信号が主制御系40内の画像処理部に供給されている。また、ウエハ検出系30は、低段差マーク等の位置検出が可能であるように暗視野結像方式の顕微鏡を有し、他のウエハ検出系31および32は、通常の明視野結像方式の顕微鏡である。そして、プリアライメント機構22上に、図1に示すウエハ1が載置された状態で、ウエハ検出系30～32の観察視野30a～32aがウエハ1の周縁部に位置するように構成されている。

図5は、プリアライメント機構22上での観察視野30a～32aとウエハ1との関係を示し、観察視野30a内にウエハ1の切り欠き2が収まり、他の観察視野31a、32a内にウエハ1のエッジ部が収まっている。そして、主制御系40は、観察視野30a内の画像に対応する撮像信号を処理して、切り欠き2の中心33Aの2次元的な位置を検出し、他の観察視野31a、32a内の画像に対応する撮像信号を処理して、それぞれウエハ1のエッジの半径方向33Bおよび33Cの位置を検出する。これらの検出結果に基づいて、主制御系40はプリアライメント機構22の位置決め動作を制御する。

図4に示すように、プリアライメント機構22の図示上右側および左側には、ウエハの受け渡し部23と、ロードアーム21を備えたロードスライダ20とが設置されている。

次に、本実施形態のウエハ1が、露光装置の外部から供給されて露光装置により露光されるまでの動作の概略につき説明する。まず、たとえばレジストコータ

等の他の装置から搬送されてきたウエハ1は、受け渡し部23上の位置P1で一時的に保持される。その後、ウエハ1は受け渡し部23からプリアライメント機構22上の位置P2に搬送される。ウエハ1の外形および切り欠き2の画像情報(撮像信号)はウエハ検出系30~32を介して主制御系40に供給され、それらの画像情報より主制御系40は、ウエハ1の中心の2次元座標(WX, WY)、および回転角 $W\theta$ を求め、これらの値のプリアライメント時の目標値に対する誤差を求める。そして、主制御系40は、その誤差が許容範囲内に収まるようにプリアライメント機構22を介して、ウエハ1の並進方向の位置、および回転角を補正する。これによってプリアライメントが完了する。

プリアライメント機構22により位置合わせされたウエハ1は、ロードスライダ20に沿って可動なロードアーム21により搬送されてウエハホルダ14上の位置P3に載置される。そして、ウエハ1がウエハホルダ14上に吸着保持された後、アライメントセンサ19によってウエハ1上の各ショット領域と共に形成されている所定のウエハマークの位置が検出され、この検出結果に基づいてウエハ1上の各ショット領域の正確な位置が算出される。その後、ウエハ1の位置決めを行いつつ、レチクル12のパターン像が投影光学系PLを介してウエハ1の各ショット領域に重ね合わせて露光される。

この際に本実施形態では、図1Aおよび1Bに示すウエハ1の最上層の切り欠き2の検出を行うために、落射照明で且つ暗視野結像方式の顕微鏡を有するウエハ検出系30を使用している。切り欠き2は、反射率がほぼ一様な段差マークとみなせるため、そのウエハ検出系30によって切り欠き2の位置を高精度に検出できる。これに対して、従来のプリアライメント機構には、ウエハ検出系として透過照明形式の顕微鏡が備えられていたため、このような段差マークの検出はできなかった。なお、図5の観察視野31a, 32aではウエハ1のエッジが検出されているため、対応するウエハ検出系31, 32は透過照明であってもよい。

本発明は、上述した実施形態に限定されず、本発明の範囲内で、種々に改変することができる。

たとえば、図1Aおよび1Bに示す実施形態に係るウエハ1では、最上層のシリコン層5の一部にのみ切り欠き2が形成されているが、図6A~6Cに示すよ

うに、二酸化シリコンなどで構成される絶縁層 4 のみに切り欠き 9 A を設け、その上に半導体層 5 を形成しても良い。その場合には、図 6 C に示すように、絶縁層 4 の切り欠き 9 A に相当する部分で、半導体層 5 の表面に、凹部としての窪み 2 A が形成されたウエハ 1 A が得られる。このウエハ 1 A の窪み 2 A も、前記実施形態に係るウエハ 1 の切り欠き 2 と同様な作用を有する。

また、図 7 A および 7 B に示すように、レジスト 6 を用いて、半導体層 5 および絶縁層 4 を順次エッチングし、除去部 9 B を形成し、レジスト 6 を除去することにより、半導体層 5 および絶縁層 4 のみを貫通する切り欠き 2 B が形成されたウエハ 1 B を製造しても良い。このウエハ 1 B の切り欠き 2 B も、前記実施形態に係るウエハ 1 の切り欠き 2 と同様な作用を有する。ただし、図 1 A および 1 B に示すウエハ 1 に形成してある切り欠き 2 の方が、図 7 B に示すウエハ 1 B に形成してある切り欠き 2 B よりも浅いので、応力集中の緩和の効果が大きい。

さらに、本発明では、図 8 A に示すように、ウエハ 1 C の外周縁に接する複数箇所（図 8 A では 3 箇所）で最上層の半導体層 5 に切り欠き 2 C、2 D および 2 E を設けるようにしてもよい。但し、半導体層 5 のみならず、絶縁層 4 まで貫通する切り欠きを設けてもよく、絶縁層 4 のみに切り欠きを設けてもよいのは言うまでもない（以下同様）。この場合、切り欠き 2 C ~ 2 E は非対称になるように、即ちウエハ 1 C の中心に対して等角度間隔にならないように設けることによって、ウエハ 1 C の配列方向の誤認を防止できる。

また、図 8 B に示すように、ウエハ 1 D の半導体層 5 にオリエンテーションフラットに類似した切り欠き 2 F を設けてもよい。これによって、本実施形態のウエハ 1 D は、従来のオリエンテーションフラットを設けたウエハとの或る程度の互換性が保たれる。

更に、図 8 C に示すように、ウエハ 1 E の外周縁部に接しない領域で、半導体層 5 のみを貫通する小さい穴 2 G を設けるようにしてもよい。穴 2 G の面積は、切り欠き 2 の面積と略同程度である。

また、図示していないが、本発明に係る基板は、SOI 構造のウエハではなく、例えばシリコンやガリウム・ヒ素（GaAs）等の半導体基板本体上に単層、または 2 層以上の薄膜を形成した基板に対して少なくとも 1 層の一部に切り欠きを

有する基板であっても良い。

また、シリコン単結晶基板から成る通常の半導体基板であっても、表面近傍を浅く削り取ることにより、本発明に係る浅い切り欠きなどの凹部を有する基板を製造することができる。

さらに、上記の実施形態では、ウエハの一部に浅い凹部を小面積で設け、その凹部をプライライメント用に用いているが、ウエハの表面の大部分を凹部とし、ウエハの周縁に接する部分に薄い凸部を残し、その凸部を、プライライメント用として用いても良い。薄い凸部であれば、応力集中を招くことなく、しかもプライライメントも容易である。

また、上記の実施形態では、リソグラフィ工程でウエハに切り欠きを設けているが、それ以外に、例えばリペア用のYAGレーザ等のレーザ加工装置を用いて、ウエハの一部にレーザビームを照射することによって浅い切り欠きを形成してもよい。

請 求 の 範 囲

1. デバイス製造用基板であって、
前記基板の表裏面を貫通しない凹部が基板の表面に形成してあるデバイス製造用基板。
2. 前記基板は、基板本体と、当該基板本体の表面に積層してある機能層とを有し、当該機能層に、前記凹部が形成してある請求項 1 に記載のデバイス製造用基板。
3. 前記機能層が、前記基板本体の表面に積層してある絶縁層と、当該絶縁層の表面に積層してある半導体層とを有する請求項 2 に記載のデバイス製造用基板。
4. 前記凹部が、プリアライメントのためのマークとして用いられる程度の面積を有する請求項 1 ～ 3 のいずれかに記載のデバイス製造用基板。
5. 前記基板本体が、シリコン単結晶基板である請求項 2 ～ 4 のいずれかに記載のデバイス製造用基板。
6. 前記凹部が、前記基板の外周部の少なくとも一部に形成してある請求項 1 ～ 5 のいずれかに記載のデバイス製造用基板。
7. 基板本体の表面に機能層を形成する第 1 工程と、
前記機能層の一部に凹部を形成する第 2 工程とを有する、
デバイス製造用基板の製造方法。
8. 前記第 2 工程が、
前記機能層の表面に感光材料を塗布して感光層を形成する工程と、
前記感光層の表面に、前記凹部に対応するパターンで露光を行う工程と、
前記露光が行われた感光層を現像する工程と、
現像された前記感光層のマスクパターンを用いて、前記機能層の少なくとも一部をエッチングし、前記凹部を形成する工程とを有する請求項 7 に記載のデバイス製造用基板の製造方法。
9. 前記機能層が、前記基板本体の表面に積層してある絶縁層と、当該絶縁層の表面に積層してある半導体層とを有し、

前記絶縁層をエッチングストップ層として用い、当該絶縁層の表面でエッチングがストップする条件で、前記半導体層をエッチングし、当該半導体層に前記凹部を形成する請求項 8 に記載のデバイス製造用基板の製造方法。

10. 前記第 1 工程が、

第 1 単結晶基板の表面に絶縁層を形成する工程と、

前記絶縁層の表面に平坦化層を形成する工程と、

前記平坦化層の表面に、前記基板本体となるべき第 2 単結晶基板をはり合わせる工程と、

前記第 1 単結晶基板の反絶縁層側の表面を研磨することにより、第 1 単結晶基板を所定厚みの半導体層にする工程とを有する請求項 7～9 のいずれかに記載のデバイス製造用基板の製造方法。

11. 前記第 1 単結晶基板の反絶縁層側の表面の研磨が、化学機械的研磨により行われる請求項 10 に記載のデバイス製造用基板の製造方法。

12. 前記第 1 工程が、

前記基板本体となるべき単結晶基板の表面から、所定深さの位置に不純物の濃度分布のピークがくるように、酸素をイオン注入する工程と、

イオン注入した後の前記基板本体を熱処理することにより、基板本体の表面から所定深さの位置にイオン注入された酸素を、基板本体を構成する単結晶の元素と化学的に結合させて、絶縁層を形成する工程とを有する請求項 7～9 のいずれかに記載のデバイス製造用基板の製造方法。

13. 基板の表裏面を貫通しない凹部が基板の表面に形成してあるデバイス製造用基板を用い、前記凹部の位置を検出する工程と、

検出された凹部の位置に基づき、前記基板の位置決めを行う工程と、

その後、位置決めされた前記基板に対して露光処理を行う工程とを有する露光方法。

14. 前記基板の凹部の位置の検出は、落射照明方式で行われる請求項 13 に記載の露光方法。

15. 表面に薄膜が被着されたデバイス製造用基板であって、

前記薄膜の一部にオリエンテーションフラット、又はノッチを形

成したことを特徴とするデバイス製造用基板。

16. 前記デバイス製造用基板はSOIウエハであることを特徴とする
請求項15に記載のデバイス製造用基板。

FIG.1A

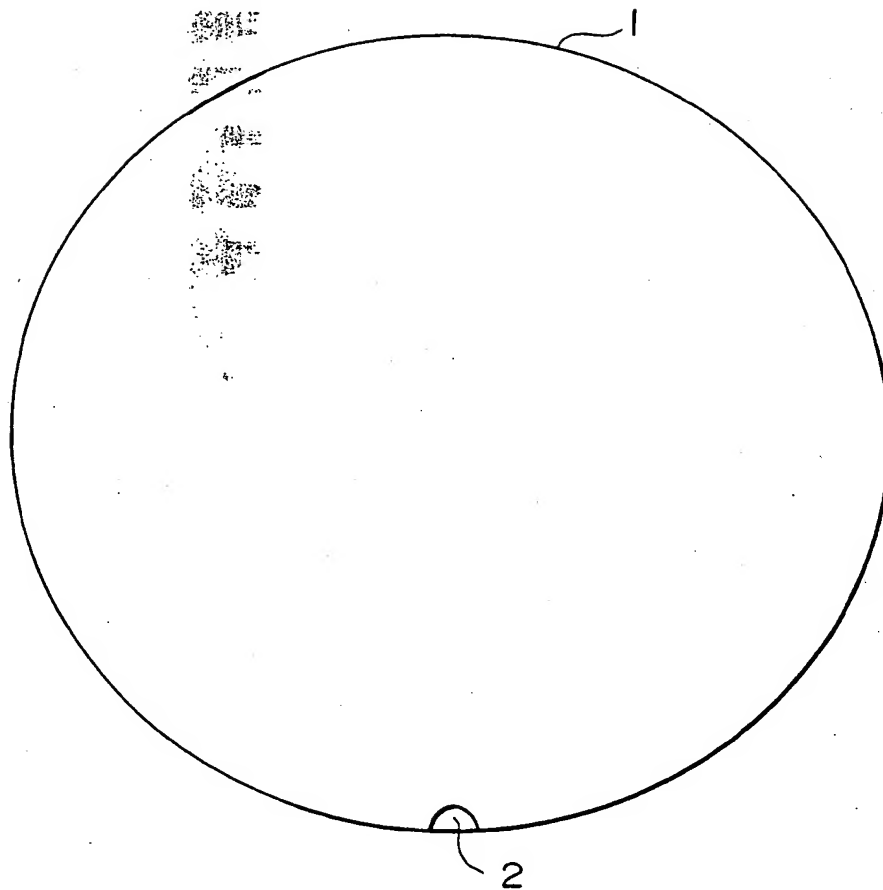


FIG.1B

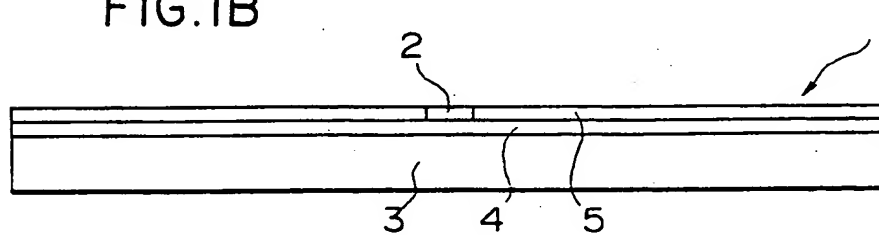


FIG.2A

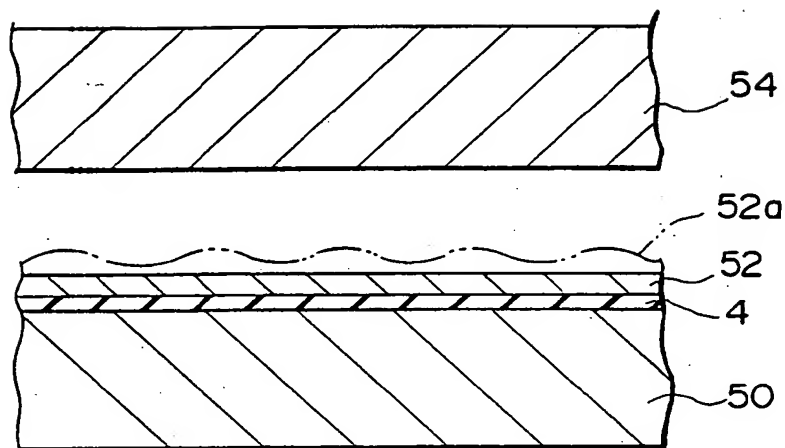


FIG.2B

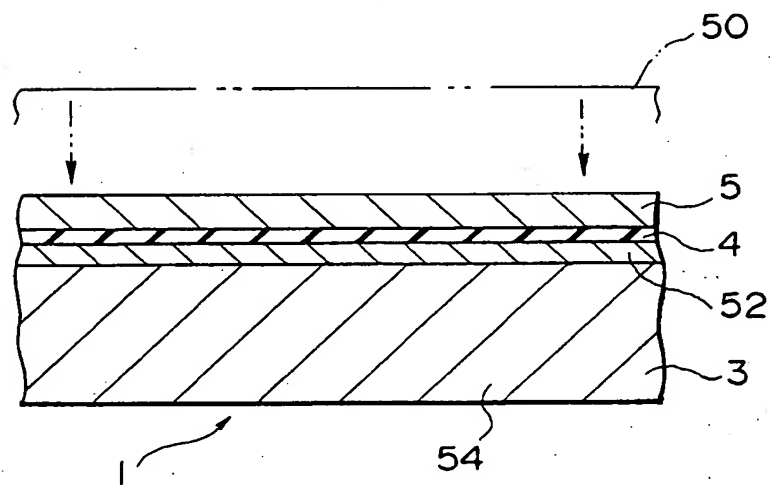


FIG.5

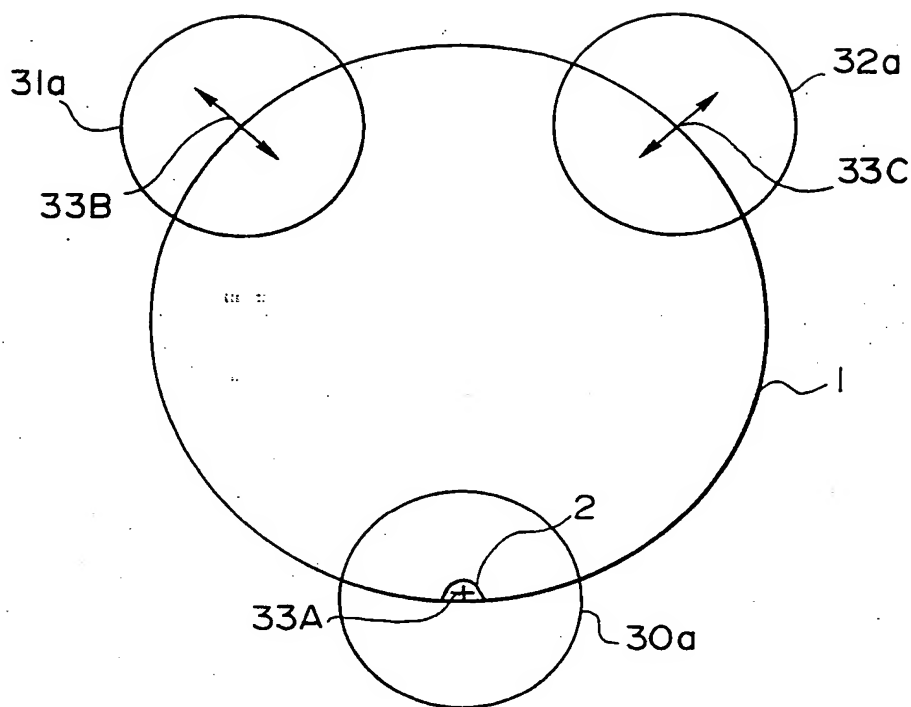


FIG.6A

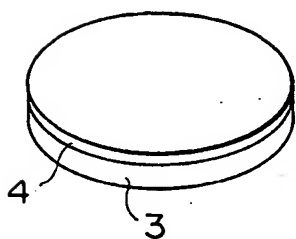


FIG.6B

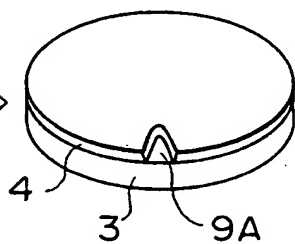


FIG.6C

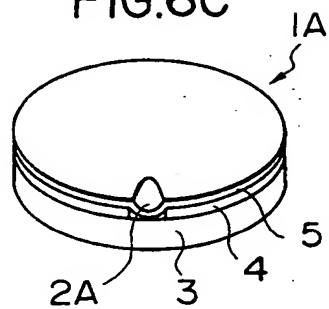


FIG.7A

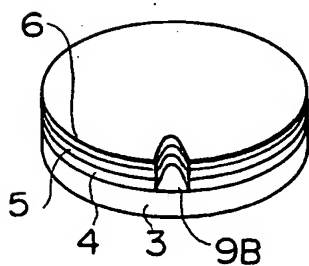


FIG.7B

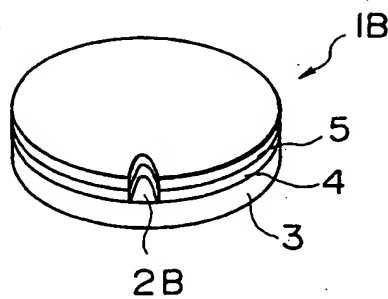


FIG.8A

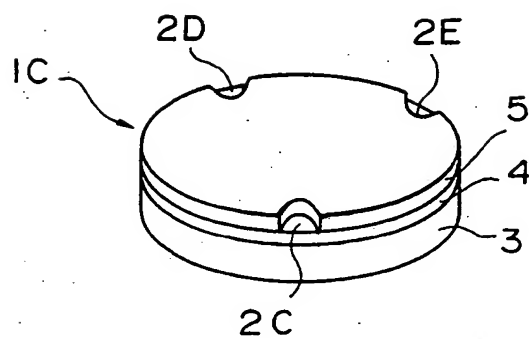


FIG.8B

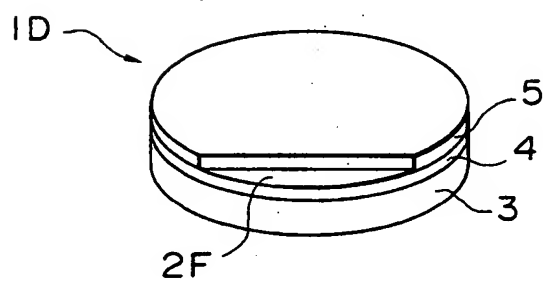
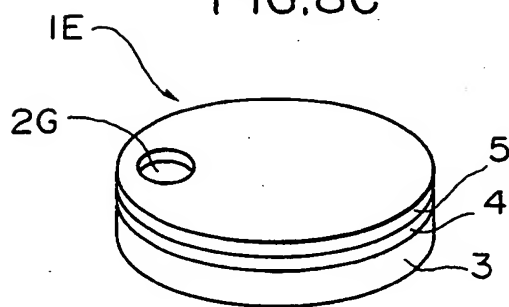


FIG.8C



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP98/02566

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ H01L21/02, H01L21/027, H01L21/30, H01L21/46, H01L21/68,
H01L27/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ H01L21/02, H01L21/027, H01L21/30, H01L21/46, H01L21/68,
H01L27/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1972-1994

Kokai Jitsuyo Shinan Koho 1973-1994

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 6-232221, A (Fuji Electric Co., Ltd.) (Family: none) 19 August, 1994 (19. 08. 94) Figs. 1 to 3	1-3, 5-7
Y		4, 8-13, 15-16
X	JP, 58-207621, A (Hitachi, Ltd.) (Family: none) 3 December, 1983 (03. 12. 83), Figs. 2, 3, 6 ; Claims ; page 2, lower left column, lines 5 to 7	1, 5, 6
X	JP, 2-125412, A (Yamaha Corp.) (Family: none) 14 May, 1990 (14. 05. 90), Figs. 1 to 5	1, 5, 6
X	JP, 9-162085, A (Sansei Denshi K.K.) (Family: none) 20 June, 1997 (20. 06. 97), Figs. 2 to 4	1, 5, 6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
1 September, 1998 (01. 09. 98)

Date of mailing of the international search report
8 September, 1998 (08. 09. 98)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/02566

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 9-139342, A (Nikon Corp.) (Family: none) 27 May, 1997 (27. 05. 97), Fig. 5	4, 8, 13, 14
Y	JP, 9-115816, A (Nikon Corp.) (Family: none) 2 May, 1997 (02. 05. 97), Figs. 4, 7	4, 8, 13, 14
Y	JP, 8-306763, A (Nikon Corp.) (Family: none) 22 November, 1996 (22. 11. 96), Figs. 3, 7	4, 8, 13, 14
Y	JP, 5-129258, A (Hitachi, Ltd.) (Family: none) 25 May, 1993 (25. 05. 93), Figs. 1 to 9	11-12, 16
Y	JP, 8-279605, A (Sony Corp.) (Family: none) 22 October, 1996 (22. 10. 96), Fig. 1	10-12, 16

国際調査報告

国際出願番号 PCT/JP98/02566

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.[°] H01L21/02, H01L21/027, H01L21/30, H01L21/46,
H01L21/68, H01L27/12

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.[°] H01L21/02, H01L21/027, H01L21/30, H01L21/46,
H01L21/68, H01L27/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本実用新案公報 1972-1994年

日本公開実用新案公報 1973-1994年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 6-232221, A (富士電機株式会社) (パテントファミリーなし) 19. 8月. 1994 (19. 08. 94) (第1-3図)	1-3, 5-7
Y		4, 8-13, 15-16
X	JP, 58-207621, A (株式会社日立製作所) (パテントファミリーなし) 03. 12月. 1983 (03. 12. 83) (第2, 3, 6図) 特許請求の範囲、第2頁左下欄第5-7行)	1, 5, 6
X	JP, 2-125412, A (ヤマハ株式会社) (パテントファミリーなし) 14. 5月. 1990 (14. 05. 90) (第1-5図)	1, 5, 6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 先行文献ではあるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

- の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

01. 09. 98

国際調査報告の発送日

08. 09. 98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

河合 章

4M

7735

電話番号 03-3581-1101 内線 3461

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 9-162085, A (三星電子株式会社) (パテントファミリーなし) 20. 6月. 1997 (20. 06. 97) (第2-4図)	1, 5, 6
Y	JP, 9-139342, A (株式会社ニコン) (パテントファミリーなし) 27. 5月. 1997 (27. 05. 97) (第5図)	4, 8, 13, 14
Y	JP, 9-115816, A (株式会社ニコン) (パテントファミリーなし) 02. 5月. 1997 (02. 05. 97) (第4, 7図)	4, 8, 13, 14
Y	JP, 8-306763, A (株式会社ニコン) (パテントファミリーなし) 22. 11月. 1996 (22. 11. 96) (第3, 7図)	4, 8, 13, 14
Y	JP, 5-129258, A (株式会社日立製作所) (パテントファミリーなし) 25. 5月. 1993 (25. 05. 93) (第1-9図)	11-12, 16
Y	JP, 8-279605, A (ソニー株式会社) (パテントファミリーなし) 22. 10月. 1996 (22. 10. 96) (第1図)	10-12, 16